

#2

Docket No.: P-113

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

3c914 U.S. PTO  
09/738310  
12/18/00

In re Application of

Kang-Phil LEE

Serial No.: New U.S. Patent Application

Filed: December 18, 2000

For: CAS DATA PROCESSING APPARATUS OF STM-1 INTERFACE BLOCK

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner of Patents  
Washington, D. C. 20231

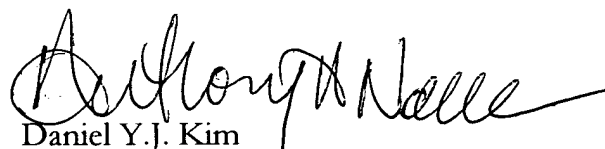
Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 58336, filed December 16, 1999.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP



Daniel Y.J. Kim  
Registration No. 36,186  
Anthony H. Nourse  
Registration No. 46,121

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440  
**Date: December 18, 2000**  
DYK:AHN/cam

jc914 U.S. PTO  
09/738310  
12/18/00

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 1999년 제 58336 호  
Application Number

출원년월일 : 1999년 12월 16일  
Date of Application

출원인 : 엘지정보통신주식회사  
Applicant(s)

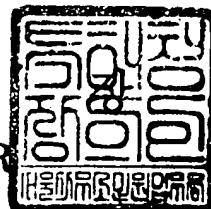
CERTIFIED COPY OF  
PRIORITY DOCUMENT



2000 년 07 월 11 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0016
【제출일자】	1999. 12. 16
【발명의 명칭】	교환기에서 에스티엠-1 정합 시스템
【발명의 영문명칭】	System of Interfacing STM-1 in the Switching System
【출원인】	
【명칭】	엘지정보통신 주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	1999-010680-1
【발명자】	
【성명의 국문표기】	이강필
【성명의 영문표기】	LEE, Kang Phil
【주민등록번호】	710306-1009519
【우편번호】	157-018
【주소】	서울특별시 강서구 화곡8동 337-16(303호)
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 김영철 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 교환기에서 STM-1(Synchronous Transport Module Level 1) 정합 시스템에 관한 것으로, 특히 STM-1 정합 부분의 E1 링크 처리 장치에서 수신한 CAS(Collision Avoidance System) 시그널링 데이터(Signalling Data)를 처리하여 상위로 보고하도록 한 교환기에서 STM-1 정합 시스템에 관한 것이다.

본 발명의 시스템은 E1 시그널링을 처리해야 할 경우에 시작 펄스(Start Pulse)를 생성하고 비지 신호(Busy Signal)의 입력에 따라 해당 시작 펄스의 출력을 제어하는 CPU(Central Processing Unit)와; 각 링크(Link)에 대한 시그널링 데이터를 추출하여 CAS(Collision Avoidance System) 데이터 스트림으로 전송하는 다수 개의 프레임머(Framer)와; 상기 CPU의 시작 펄스에 따라 상기 각 프레임머로부터 수신한 CAS 데이터 스트림에 대한 처리를 수행하여 공용 메모리에 저장시켜 주고 동작 수행 중에 비지 신호를 생성시켜 상기 CPU에 인가하는 CAS 시그널링 처리부를 포함하여 이루어진 것을 특징으로 한다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

교환기에서 에스티엠-1 정합 시스템 {System of Interfacing STM-1 in the Switching System}

**【도면의 간단한 설명】**

도 1은 종래의 STM-1(Synchronous Transport Module Level 1) 정합 부분을 나타낸 구성 블록도.

도 2는 도 1에 있어 시그널링 데이터 스트림(Signalling Data Stream)과 보고용 데이터 포맷(Format)을 나타낸 도면.

도 3은 본 발명의 실시예에 따른 교환기에서 에스티엠-1 정합 시스템을 나타낸 구성 블록도.

도 4는 도 3에 있어 각 구성 블록에 대한 타이밍을 나타낸 도면.

**\* 도면의 주요 부분에 대한 부호의 설명 \***

21 : CPU(Central Processing Unit)

22-1 ~ 22-n : 프레임어(Framer)

23 : 공용 메모리(Common Memory)

24 : 로컬 메모리(Local Memory)

31 : CPU 정합부

32 : 스트림(Stream) 입력부

33 : 시그널링(Signalling) 처리부

34 : 어드레스(Address) 생성부

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 교환기에서 STM-1 정합 시스템에 관한 것으로, 특히 STM-1 정합 부분의 E1 링크 처리 장치에서 수신한 CAS(Collision Avoidance System) 시그널링 데이터를 처리하여 상위로 보고하도록 한 교환기에서 STM-1 정합 시스템에 관한 것이다.

<15> 종래의 155.52(Mbps) STM-1 정합 부분은 도 1에 도시된 바와 같이, CPU(11)와, 다수 개의 프레임머(12-1 ~ 12-n)와, 상위 프로세서에 보고하기 위한 공용 메모리(13)와, 로컬 메모리(14)를 포함하여 이루어져 있다. 여기서, 상위 프로세서는 STM-1 정합 부분에 대한 전반적인 제어 동작을 수행한다.

<16> 상기 CPU(11)는 STM-1 정합 부분 내의 각 디바이스(Device)에 대한 제어를 담당한다.

<17> 상기 프레임머(12-1 ~ 12-n)는 E1 링크(Link)에 대한 정합을 수행한다.

<18> 상기 공용 메모리(13)는 상위 프로세서와 STM-1 정합 부분간의 인터페이스

(Interface)를 위하여 사용되어지는 영역의 역할을 수행한다.

<19> 상기 로컬 메모리(14)는 상기 CPU(11)를 위해 사용되는 메모리로, 시그널링 데이터를 임시 저장하는 영역의 역할을 수행한다.

<20> 상술한 바와 같이 구성된 STM-1 정합 부분의 동작을 다음과 같이 간략하게 설명하면, CPU(11)에서 각 프레임(12-1 ~ 12-n)의 레지스터(Register)로부터 해당 채널(Channel)에 대한 시그널링 데이터를 순차적으로 판독하여 로컬 메모리(14)에 임시로 저장한 후, 도 2에 도시된 바와 같은 형태로 시그널링 데이터를 재 포맷시켜 상위로 보고하기 위한 공용 메모리(13)에 기록해 준다.

<21> 상술한 바와 같은 동작은 8(msec)의 실시간(Real Time) 주기로 이루어지며, 8(msec) 내에 수신 및 송신 CAS 데이터에 대한 처리가 모두 완료되도록 이루어져야 한다.

<22> 그런데, 종래 기술의 경우에 E1 링크의 수가 짝수일 경우에는 CPU에 대한 부하(Load)가 적어 구현이 용이하지만, 종래의 STM-1 정합 부분에서와 같이, E1 링크의 수가 많은 경우에는 시그널링 처리를 위해 소요되는 시간이 링크의 수에 비례하여 증가하기 때문에 지정된 시간인 8(msec) 내에 이를 모두 처리하는 것은 한정된 CPU의 속도로는 불가능하였다. 또한, 이를 해결하기 위해서 고속의 CPU를 사용하는 방안이 있을 수 있으나 고가의 CPU를 사용해야 하므로 비경제적인 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<23> 전술한 바와 같은 문제점을 해결하기 위한 것으로, 본 발명은 STM-1 정합 부분에서

하드웨어를 이용한 수신 CAS 데이터 처리 기능에 관한 것으로, STM-1 정합 부분의 E1 링크 처리 장치에서 수신한 CAS 시그널링 데이터를 처리하여 상위로 보고함으로써, 많은 수의 E1 시그널링을 처리하는 경우에 CPU에서 단지 시작 펄스만을 발생시킨 후에 다른 작업을 수행할 수 있어 CPU의 부하를 감소시켜 주고 시그널링 데이터에 대한 실시간 처리가 가능하도록 하는데 그 목적이 있다.

### 【발명의 구성 및 작용】

<24> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 교환기에서 STM-1 정합 시스템은 E1 시그널링을 처리해야 할 경우에 시작 펄스(Start Pulse)를 생성하고 비지 신호(Busy Signal)의 입력에 따라 해당 시작 펄스의 출력을 제어하는 CPU와; 각 링크에 대한 시그널링 데이터를 추출하여 CAS 데이터 스트림으로 전송하는 다수 개의 프레임머와; 상기 CPU의 시작 펄스에 따라 상기 각 프레임머로부터 수신한 CAS 데이터 스트림에 대한 처리를 수행하여 공용 메모리에 저장시켜 주고 동작 수행 중에 비지 신호를 생성시켜 상기 CPU에 인가하는 CAS 시그널링 처리부를 포함하여 이루어진 것을 특징으로 한다.

<25> 여기서, 상기 CAS 시그널링 처리부는 상기 CPU로부터 시작 펄스를 인가받아 동작 지시 신호를 생성시키며, 비지 신호를 생성시켜 상기 CPU에게 전송하는 CPU 정합부와; 상기 CPU 정합부의 동작 지시 신호에 따라 동작하며, 링크 번호 증가 펄스의 입력에 따라 상기 각 프레임머로부터 인가되는 CAS 데이터 스트림을 선택하는 스트림 입력부와; 상기 CPU 정합부의 동작 지시 신호에 따라 동작하며, 어드레스 증가 제어 신호의 입력에 따라 시그널링 데이터가 기록될 상기 공용 메모리의 어드레스를 지정하는 어드레스 생성



부와; 상기 CPU 정합부의 동작 지시 신호에 따라 동작하며, 상기 스트림 입력부에서 선택한 시그널링 데이터 스트림에서 시그널링 데이터를 추출해 보고 포맷(Format)으로 변경시켜 상기 어드레스 생성부에서 지정한 어드레스에 저장하며, 상기 공용 메모리의 액세스 종료 시마다 어드레스 증가 제어 신호를 상기 어드레스 생성부로 인가하며, 한 링크에 대한 시그널링 데이터의 처리 종료 시마다 링크 번호 증가 펄스를 상기 스트림 입력부로 인가하는 시그널링 처리부를 포함하여 이루어진 것을 특징으로 한다.

<26> 본 발명은 STM-1 정합 부분과 시스템간의 인터페이스를 위한 E1 처리부에서 21 개의 E1 링크에 대한 수신 CAS 시그널링 데이터를 처리하고 이때 별도의 하드웨어 로직(Hardware Logic)을 통해 시그널링을 처리하게 하여 CPU의 부하를 감소시키고 보다 경제적으로 실시간 처리를 가능하도록 해 준다. 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 상세하게 설명하면 다음과 같다.

<27> 본 발명의 실시예에 따른 교환기에서 STM-1 정합 시스템은 종래 CPU에 의한 시그널링의 처리 한계를 극복하기 위한 것으로, 도 3에 도시한 바와 같이, CPU(21)와, 다수 개의 프레임머(22-1 ~ 22-n)와, 공용 메모리(23)와, 로컬 메모리(24)와, CAS 시그널링 처리부(30)를 포함하여 이루어진다.

<28> 상기 CPU(21)는 STM-1 정합 시스템 내의 각 디바이스를 제어하는 역할을 수행하는데, E1 시그널링을 처리해야 할 경우에 시작 펄스를 생성시켜 상기 CAS 시그널링 처리부(30)에 인가해 주고 상기 CAS 시그널링 처리부(30)로부터 인가되는 비지 신호에

따라 다음 시작 펄스의 송출을 제어해 준다.

- <29>      상기 각 프레임(22-1 ~ 22-n)은 E1 링크에 대한 정합을 수행하는데, 시그널링 데이터를 추출하여 CAS 데이터 스트림으로 상기 CAS 시그널링 처리부(30)로 전달해 준다.
- <30>      상기 공용 메모리(23)는 상위 프로세서와 STM-1 정합 시스템간의 인터페이스를 위해 사용되는 메모리 영역으로, 상기 CAS 시그널링 처리부(30)로부터 인가되는 보고 데이터를 상기 어드레스 생성부(34)에서 지정한 어드레스에 저장한다. 여기서, 해당 상위 프로세서는 STM-1 정합 시스템에 대한 전반적인 제어를 담당하는데, 상기 추출된 시그널링 데이터에 대한 보고를 수신한다.
- <31>      상기 로컬 메모리(24)는 상기 CPU(21)를 위해서 사용되는 메모리 영역이다.
- <32>      상기 CAS 시그널링 처리부(30)는 상기 각 프레임(22-1 ~ 22-n)와 공용 메모리(23) 사이에서 상기 각 프레임(22-1 ~ 22-n)로부터 수신한 CAS 데이터 스트림에 대한 처리를 하드웨어적으로 수행하여 상기 공용 메모리(23)에 저장시켜 줌으로써 상기 CPU(21)의 부하를 감소시켜 주는 역할을 제공한다.
- <33>      또한, 상기 CAS 시그널링 처리부(30)는 CPU 정합부(31)와, 스트림 입력부(32)와, 시그널링 처리부(33)와, 어드레스 생성부(34)를 포함하여 이루어진다.
- <34>      상기 CPU 정합부(31)는 상기 CPU(21)로부터 시작 펄스를 인가받아 프레임 동기 신호(Frame Synchronous Signal)에 동기를 맞추어 동작 지시 신호를 생성시켜 상기 CAS 시그널링 처리부(30) 내의 모든 블록들에게 인가하여 활성화시켜 주며, 상기 시그널링 처리부(33)에서 E1 시그널링 처리 동작 중임을 알려 주기 위한 비지 신호를 생성시켜 상기 CPU(21)에게 전달해 준다.

- <35>      상기 스트림 입력부(32)는 상기 CPU 정합부(31)로부터 인가되는 동작 지시 신호에 따라 동작을 수행하는데, 상기 시그널링 처리부(33)로부터 인가되는 링크 번호 증가 펄스에 따라 상기 각 프레임(22-1 ~ 22-n)로부터 시스템 클럭(System Clock)에 동기된 21 개의 CAS 데이터 스트림을 인가받아 하나의 CAS 데이터 스트림을 선택하여 상기 시그널링 처리부(33)에 전달해 준다.
- <36>      상기 시그널링 처리부(33)는 상기 CPU 정합부(31)로부터 인가되는 동작 지시 신호에 따라 동작을 수행하는데, 상기 스트림 입력부(32)로부터 인가되는 시그널링 데이터 스트림에서 시그널링 데이터를 추출하고 해당 추출한 시그널링 데이터를 보고 포맷으로 변경시켜 상기 어드레스 생성부(34)에서 지정한 상기 공용 메모리(23)의 어드레스에 저장하며, 상기 공용 메모리(23)에 대한 액세스가 종료될 때마다 다음 어드레스의 지정을 위한 어드레스 증가 제어 신호를 상기 어드레스 생성부(34)로 인가하며, 한 개의 링크에 대한 시그널링 데이터의 처리가 종료될 때마다 링크 번호 증가 펄스를 생성시켜 상기 스트림 입력부(32)로 인가해 준다.
- <37>      상기 어드레스 생성부(34)는 상기 CPU 정합부(31)로부터 인가되는 동작 지시 신호에 따라 동작을 수행하는데, 상기 시그널링 처리부(33)로부터 인가되는 어드레스 증가 제어 신호에 따라 상기 시그널링 처리부(33)에서 추출한 시그널링 데이터가 기록될 상기 공용 메모리(23)의 어드레스를 지정해 준다.
- <38>      본 발명의 실시예에 따른 교환기에서 STM-1 정합 시스템의 동작을 설명하면 다음과 같다.

<39> 먼저, E1 링크에 대한 정합을 수행하는 각 프레임어(22-1 ~ 22-n)에서는 E1 시그널링 데이터를 추출하여 CAS 데이터 스트림으로 해당 프레임어(22-1 ~ 22-n)와 공용 메모리(23) 사이에 구비되어 있는 CAS 시그널링 처리부(30)에게 전달해 주는데, 이때 STM-1 정합 시스템 내의 각 디바이스를 제어하는 역할을 수행하는 CPU(21)에서는 해당 각 프레임어(22-1 ~ 22-n)에서 처리한 CAS 데이터 스트림이 있는 경우에 시작 펄스를 생성시켜 해당 CAS 시그널링 처리부(30)에 인가해 준다.

<40> 이에, 상기 CAS 시그널링 처리부(30)에서는 상기 CPU(21)로부터 인가되는 시작 펄스에 따라 동작을 수행하는데, 상기 각 프레임어(22-1 ~ 22-n)로부터 수신한 CAS 데이터 스트림에 대한 처리를 하드웨어적으로 수행함으로써 상기 CPU(21)의 부하를 감소시켜 준다.

<41> 다시 말해서, 상기 CAS 시그널링 처리부(30) 내에 구비되어 있는 CPU 정합부(31)에서는 상기 CPU(21)로부터 시작 펄스를 인가받아 다음의 8(KHz) 프레임 동기 신호에 동기를 맞추어 동작 지시 신호를 생성시키며, 해당 생성된 동작 지시 신호를 상기 CAS 시그널링 처리부(30) 내의 모든 블록들에게 인가해 줌으로써 각 블록들을 활성화시켜 준다.

<42> 그러면, 상기 CAS 시그널링 처리부(30) 내에 구비되어 있는 스트림 입력부(32)에서는 상기 CPU 정합부(31)로부터 인가되는 동작 지시 신호에 따라 동작을 수행하는데, 상기 각 프레임어(22-1 ~ 22-n)로부터 시스템 클럭에 동기된 21 개의 CAS 데이터 스트림을 인가받아 우선 첫 번째 링크에 있는 한 개의 스트림만을 선택하여 상기 CAS 시그널링 처리부(30) 내에 구비되어 있는 시그널링 처리부(33)로 송신해 준다.

<43> 이에, 상기 시그널링 처리부(33)는 상기 CPU 정합부(31)로부터 인가되는 동작 지시 신호에 따라 동작을 수행하는데, 상기 스트림 입력부(32)로부터 인가되는 시그널링 데이

터 스트림으로부터 각 데이터의 저장 위치마다 판독 펄스(Read Pulse)를 통해서 각 채널의 시그널링 데이터를 내부 회로에 일시 저장한다.

<44> 그런 다음에, 상기 시그널링 처리부(33)는 4 개의 타임슬롯(Time Slot)에 대한 판독이 종료되면 해당 모아진 시그널링 데이터를 보고용 포맷으로 직/병렬 변환시켜 상기 공용 메모리(23)로 전달해 주는데, 이때 상기 CAS 시그널링 처리부(30) 내에 구비되어 있는 어드레스 생성부(34)에서는 해당 시그널링 데이터가 기록될 상기 공용 메모리(23)의 어드레스를 지정시켜 줌으로써, 상기 시그널링 처리부(33)는 해당 어드레스 생성부(34)에서 지정하는 공용 메모리(23)의 영역에 저장시켜 준다.

<45> 그리고, 상기 시그널링 처리부(33)는 상기 공용 메모리(23)에 대한 액세스가 종료될 때마다 다음의 시그널링 데이터를 저장할 어드레스의 지정을 위해 상기 어드레스 생성부(34)로 어드레스 증가 제어 신호를 인가시켜 주며, 상기 어드레스 생성부(34)는 상기 시그널링 처리부(33)로부터 어드레스 증가 제어 신호를 인가받아 다음의 시그널링 데이터가 기록될 상기 공용 메모리(23)의 어드레스를 지정시켜 준다.

<46> 이와 같이 한 개의 링크, 즉 32 개의 채널에 대한 시그널링 데이터의 처리가 종료되면, 도 4의 타이밍도에 나타난 바와 같이, 상기 시그널링 처리부(33)는 링크 번호 증가 펄스를 생성시켜 상기 스트림 입력부(32)로 인가해 주며, 상기 스트림 입력부(32)는 상기 시그널링 처리부(33)로부터 링크 번호 증가 펄스를 인가받아 다음의 E1 링크에 해당하는 CAS 데이터 스트림을 상기 프레임(22-1 ~ 22-n)로부터 인가받아 상술한 바와 같은 동작을 수행하도록 한다.

<47> 이러한 방식으로 21 개의 링크에 대한 시그널링 처리가 완료될 때까지 상기 CPU 정합부(31)에서는 상기 시그널링 처리부(33)에서 E1 시그널링 처리 동작 중임을 상기

CPU(21)에게 알려 주기 위한 비지 신호를 생성시켜 상기 CPU(21)로 전달해 주며, 해당 비지 신호를 생성시키는 동안에는 상기 CPU(21)에 의한 시작 펄스는 무시해 준다.

<48> 이에 따라, 상술한 방식으로 21 개의 링크에 대한 시그널링 처리가 완료되면 상기 CAS 시그널링 처리부(30)는 동작 수행을 중지하고 다음의 시작 펄스를 기다리게 되며, 이에 상기 CPU 정합부(31)는 상기 CPU(31)로부터 다시 시작 펄스를 인가받아 상술한 바와 같은 일련의 동작을 수행할 수 있도록 각 기능 블록을 활성화시켜 준다.

<49> 이 때, 상기 21 개의 E1 링크를 처리하는 경우에 처리에 소요되는 시간은 최대 2.75(msec)로, 실시간 주기인 8(msec) 내에 수신 및 송신 CAS 데이터에 대한 처리를 수행할 수 있다.

#### 【발명의 효과】

<50> 이상과 같이, 본 발명에 의해 많은 수의 E1 시그널링을 처리하는 경우에 CPU에서 단지 시작 펄스만을 발생시킨 후에 다른 작업을 수행하고 E1 처리부에서 E1 링크에 대한 수신 CAS 시그널링 데이터를 처리할 수 있으므로 처리에 소요되는 시간이 감소되며, 또한, CPU의 부하가 대폭 감소하여 저속의 CPU를 사용하는 것이 가능하여 보다 경제적으로 제작이 가능하다.

**【특허청구범위】****【청구항 1】**

E1 시그널링을 처리해야 할 경우에 시작 펄스를 생성하고 비지 신호의 입력에 따라 해당 시작 펄스의 출력을 제어하는 CPU와;

각 링크에 대한 시그널링 데이터를 추출하여 CAS 데이터 스트림으로 전송하는 다수 개의 프레임러와;

상기 CPU의 시작 펄스에 따라 상기 각 프레임러로부터 수신한 CAS 데이터 스트림에 대한 처리를 수행하여 공용 메모리에 저장시켜 주고 동작 수행 중에 비지 신호를 생성시켜 상기 CPU에 인가하는 CAS 시그널링 처리부를 포함하여 이루어진 것을 특징으로 하는 교환기에서 에스티엠-1 정합 시스템.

**【청구항 2】**

제1항에 있어서,

상기 CAS 시그널링 처리부는 상기 CPU로부터 시작 펄스를 인가받아 동작 지시 신호를 생성시키며, 비지 신호를 생성시켜 상기 CPU에게 전송하는 CPU 정합부와;

상기 CPU 정합부의 동작 지시 신호에 따라 동작하며, 링크 번호 증가 펄스의 입력에 따라 상기 각 프레임러로부터 인가되는 CAS 데이터 스트림을 선택하는 스트림 입력부와;

상기 CPU 정합부의 동작 지시 신호에 따라 동작하며, 어드레스 증가 제어 신호의 입력에 따라 시그널링 데이터가 기록될 상기 공용 메모리의 어드레스를 지정하는 어드레

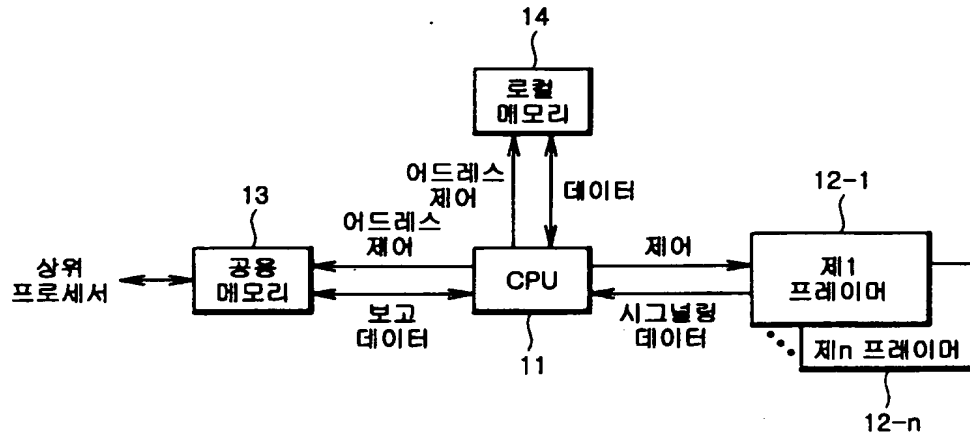
스 생성부와;

상기 CPU 정합부의 동작 지시 신호에 따라 동작하며, 상기 스트림 입력부에서 선택한 시그널링 데이터 스트림에서 시그널링 데이터를 추출해 보고 포맷으로 변경시켜 상기 어드레스 생성부에서 지정한 어드레스에 저장하며, 상기 공용 메모리의 액세스 종료 시마다 어드레스 증가 제어 신호를 상기 어드레스 생성부로 인가하며, 한 링크에 대한 시그널링 데이터의 처리 종료 시마다 링크 번호 증가 펄스를 상기 스트림 입력부로 인가하는 시그널링 처리부를 포함하여 이루어진 것을 특징으로 하는 교환기에서 에스티엠-1 정합 시스템.

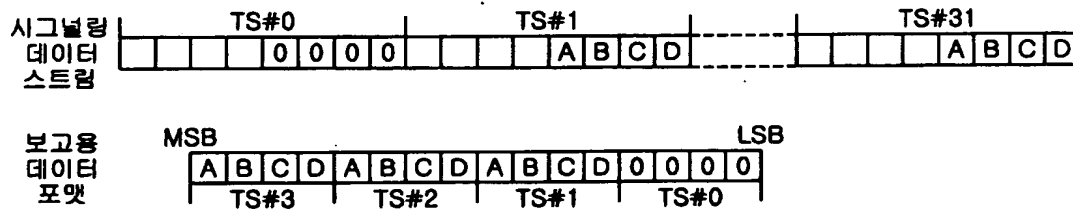


【도면】

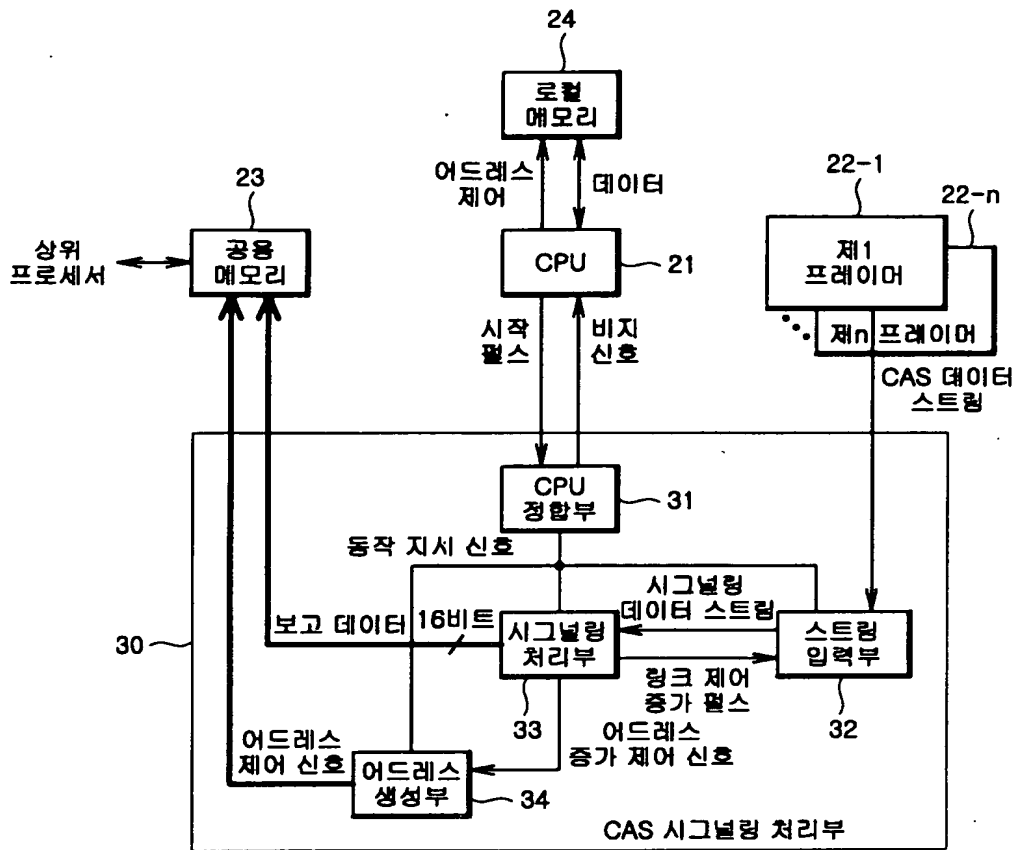
【도 1】



【도 2】



【도 3】



【도 4】

